

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-096337

(43)Date of publication of application : 27.03.1992

(51)Int.Cl.

H01L 21/338

H01L 21/28

H01L 29/812

(21)Application number : 02-214608

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.08.1990

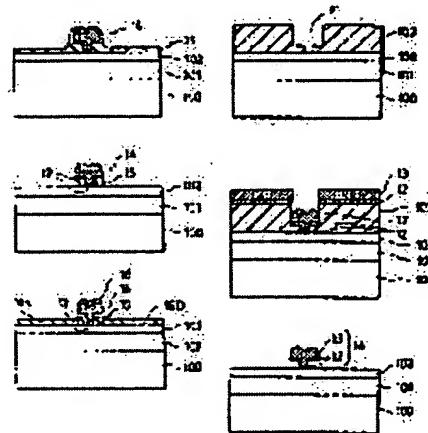
(72)Inventor : KAWASAKI HISAO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To enable a canopy top part of a gate electrode to be separated from a source and drain electrode enough spatially, by making the gate electrode of T-shape in section, of a multilayer metallic film, and by depositing a metallic film for forming an ohmic contact, using the canopy top part of the gate electrode as a mask, and further, by removing thereafter the metallic film comprising the downside layer of the canopy top part of the gate electrode.

**CONSTITUTION:** On a substrate 100, a buffer layer 101, an activated layer 102 and a resist layer 103 are laminated in succession. Thereafter, a through hole 11 of T-shape in section, which reaches the activated layer 102, is formed, and metallic films 12, 13 are deposited extensively. Continually, the part of the metallic films 12, 13 for forming a gate electrode, which is deposited on a resist film 103, is removed together with the resist film 103 by a lift-off method, and a gate electrode 14 of T-shape in section is formed. Then, after a thin film 15 is laminated extensively, using a reactive ion etching, the thin film 15 other than its part on the sidewall of the foot part of the gate electrode 14 is removed. Then, using the canopy top part of the gate electrode 14 as a mask, a metallic film 16 for forming an ohmic contact is deposited. Thereafter, a first metallic film 12 of the canopy top part of the gate electrode 14 is removed by a chemical dryetching. Further, a heat treatment is performed, and a source electrode 16S and a drain electrode 16D are formed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-96337

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月27日

H 01 L 21/338  
21/28  
29/812

G 7738-4M

7735-4M H 01 L 29/80  
7735-4M

F  
H

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-214608

⑰ 出 願 平2(1990)8月14日

⑱ 発 明 者 川 崎 久 夫 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 大胡 典夫

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板上に第一の金属膜を順次積層して構成されたT字型の断面形状を有するゲート電極を形成する工程と、該ゲート電極の前記半導体基板と接する脚部側壁を薄膜で覆う工程と、該ゲート電極の底部をマスクとしてオーミック接触形成用金属膜を前記半導体基板上に被着しソース電極及びドレイン電極を形成する工程と、前記ゲート電極の底部における前記第一の金属膜をエッチング除去する工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は、半導体装置の製造方法に関する。

(従来の技術)

III-V族化合物半導体を用いた電界効果型ト

ランジスタ(以下FETと略称)あるいは高電子移動度トランジスタ(以下HEMTと略称)は、優れたマイクロ波特性を有しマイクロ波帯で動作する半導体装置として広く実用化されている。FETあるいはHEMTのマイクロ波特性をより向上させるためには、ゲート長を短くすると同時にゲート抵抗やソース抵抗などの寄生抵抗を小さくすることが重要である。近年ゲート電極の断面形状をT字型とすることによって、ゲート長を短縮すると同時にゲート抵抗の低減を図り、更にゲート電極とソース電極とをセルフアライメント方式で形成することにより、ソース抵抗の低減をも可能とする構造のFETが提案されている。第3図に上記T字型ゲート、セルフアライメントFETの製造方法の一例の工程図を示す。第3図(a)に示すように、半絶縁性GaAs基板100上に高純度のバッファ層101、活性層102、レジスト膜103を順次積層した後、同図(b)の如くレジスト膜103に図示するように、底に前記活性層102が露出する断面T字型の透孔104を形成する。次に、ゲート電極用

金属膜105を全面に被着する(第3図(c))。続いて、レジスト膜103上のゲート電極用金属膜105、レジスト膜103をリフトオフ法により除去し、第3図(d)に示す様なT字型の断面形状を有するゲート電極105が形成される。T字型の断面形状を有するゲート電極105は、半導体基板と接する、ゲート脚部のゲート長を短くしても同一ゲート長の矩形ゲート電極に比較して断面積が大きいので、短ゲート化に伴うゲート抵抗の著しい増大を抑えることができ、特にゲート長が $0.2\mu\text{m}$ 以下のFETの特性向上には顕著な効果を有する。次に、ゲート電極105の底部をマスクとしてオーミック接触形成用金属膜106の例えばNi/AuGeを蒸着し、熱処理を施しソース電極106S、ドレイン電極106D、ゲート電極115を形成することにより第3図(e)に示すようなFETが完成する。第3図(e)に示すFETでは、ゲート電極115とソース電極106Sとがセルフアライメント方式で形成されるため、ソース・ゲート電極間隔を高精度に制御できる上、その間隔を極めて短く形成することが可能となる。

したがって、第3図(e)のFET構造で再現性良くFETを製造するには、ゲート脚部の高さを少なくとも $0.3\mu\text{m}$ 以上にすることが必要であるが、上記第4図の説明でも述べたように、この場合脚部と底部の分離を避けるためにはゲート長を $0.3\mu\text{m}$ 以上に設定しなければならず、先に述べたT字型ゲート電極の利点、すなわち短ゲート長においてもゲート抵抗が増大しないという特徴が十分に生かれないという問題があった。

(発明が解決しようとする課題)

以上述べたように従来のFET構造では、ゲート電極の底部とソース電極、ドレイン電極との接触を防止するためゲート長を $0.3\mu\text{m}$ 以下に形成することが極めて困難であった。本発明は、この様な欠点を解消し、ゲート長が $0.3\mu\text{m}$ 以下でもゲート電極の底部とソース電極、ドレイン電極とを空間的に十分隔てることができる半導体装置の製造方法を提供することを目的とする。

(発明の構成)

(課題を解決するための手段)

この結果、ソース・ゲート電極間隔のばらつきに起因するソース抵抗の変動が少なく、かつソース抵抗も低減させることができる。

上記FETの製造方法によれば、ゲート電極115の底部とソース電極106S、ドレイン電極106Dとの接触を防ぐためには、ゲート電極115の脚部はできるだけ高く、オーミック接触形成用金属膜106の膜厚はできるだけ薄く形成し、ゲート電極とソース・ドレイン電極の高さ方向の間隔を十分にとる必要がある。しかしながら、例えば、ゲート電極115の脚部を高くするため第4図に示すようにレジスト膜103の下層の開孔部のレジスト膜厚を厚く形成し、ゲート電極用金属膜105を被着した場合、レジスト膜103上に被着された金属膜がレジスト膜103の開孔上部を狭めるためゲート電極115の脚部(垂直部)と底部(横行部)とが分離されてしまう危険性がある。一方、オーミック接触形成用金属膜106は良好なオーミック特性を得るため、通常 $0.2\mu\text{m}$ 以上の膜厚で形成される事が多い。

本発明に係る半導体装置の製造方法は、半導体基板上に第一の金属膜を順次積層して構成されたT字型の断面形状を有するゲート電極を形成する工程と、該ゲート電極の前記半導体基板と接する脚部側壁を薄膜で覆う工程と、該ゲート電極の底部をマスクとしてオーミック接触形成用金属膜を前記半導体基板上に被着しソース電極及びドレイン電極を形成する工程と、前記ゲート電極の底部における前記第一の金属膜をエッチング除去する工程とを含むことを特徴とする。

(作用)

本発明に係る半導体装置の製造方法においては、T字型の断面形状を有するゲート電極を多層金属膜で構成し、ゲート電極の底部をマスクとしてオーミック接触形成用金属膜を被着した後、ゲート電極の底部の下層金属膜を除去するため、ゲート長が $0.3\mu\text{m}$ 以下でもゲート電極の底部とソース電極、ドレイン電極とを空間的に十分に分離することができる。

(実施例)

本発明の一実施例について図面を参照して説明する。なお、説明において、従来例で示した部分と変わらない部分には、図面に従来と同じ番号をつけて示し説明を省略する。

第1図(a)に示すように、半絶縁性GaAs基板100上に高純度のパフファ層101、活性層102、レジスト膜103を順次積層した後、レジスト膜103に図示するような断面T字型で前記活性層102に達する透孔11を例えば $a=0.2\mu\text{m}$ 、 $b=0.7\mu\text{m}$ 、 $c=0.2\mu\text{m}$ 、 $d=1.0\mu\text{m}$ の寸法に形成する。ここで、レジスト膜103に形成する透孔11の寸法の $d$ としては、リフトオフを容易にするためゲート電極用金属膜の膜厚よりも大きく設定することが望ましい。次に、ゲート電極用金属膜を構成する第1の金属膜12として例えばMoを膜厚 $0.1\mu\text{m}$ 、第2の金属膜13として例えばAuを膜厚 $0.5\mu\text{m}$ で全面に被着する(第1図(b))。

続いてゲート電極用金属膜12、13でレジスト膜103上に被着した部分をそのレジスト膜103とともにリフトオフ法によって除去し、第1図(c)に示

す様なT字型の断面形状を有するゲート電極14を形成する。ここで、ゲート電極14各部の寸法はレジスト膜103の透孔11及びゲート電極用金属膜12、13の膜厚で決定され、上記条件のもとではそれぞれゲート長 $=0.2\mu\text{m}$ 、底部の長さ $=0.7\mu\text{m}$ 、脚部の高さ $=0.2\mu\text{m}$ 、底部の高さ $=0.6\mu\text{m}$ である。次に第1図(d)に示すように、薄膜15として例えば $\text{SiO}_2$ 膜を膜厚 $0.1\mu\text{m}$ 全面に積層した後、例えば反応性イオンエッチング(RIE)を用いてゲート電極14の脚部の側壁以外の薄膜15を除去し、第1図(e)の如き構造を得る。ここで、薄膜15のエッチングに際してはゲート電極14の底部がエッチングマスクとして機能する。次に、ゲート電極14の底部をマスクとしてオーミック接触形成用金属膜16例えばNi/AuGeを膜厚 $0.2\mu\text{m}$ で被着した後、ゲート電極22の底部の第1の金属膜12を例えばCF<sub>4</sub>/O<sub>2</sub>の混合ガスを用いたケミカルドライエッチングで除去し、更に熱処理を施しソース電極16S、ドレイン電極16Dを形成することにより第1図(f)に示すようなFETが形成される。第1図(f)の

FETにおいてはゲート電極14の底部の第1の金属膜12がエッチング除去されるため、ゲート電極14の底部とソース電極16S、ドレイン電極16Dとが丁度、第1の金属膜12の厚み分空間的に隔てられ、この結果ソース・ドレイン電極16S、16Dとゲート電極14とが接触することがない。

尚、上述した実施例ではオーミック接触形成用金属膜としてAuGe/Niを使用する場合を例示したが、他の金属膜例えばPt/AuGe、Au/AuGe等の金属膜を用いても構わないし、また、ゲート電極膜もMo/Auに限定されるものではない。更に、第1の金属膜12、第2の金属膜13は各々単層膜に限定されるものではなく、エッチングの選択比がとれるならば、各金属膜は多層であっても構わない。

また、ゲート電極14の底部の第1の金属膜12は、全て除去する必要はなく第2図に示すように一部残しても構わない。図中の12aは一部が残された第1の金属膜である。

(発明の効果)

以上述べたように本発明による半導体装置は、

T字型の断面形状を有するゲート電極を多層金属膜で形成し、ゲート電極の底部をマスクとしてオーミック接触形成用金属膜を被着した後、ゲート電極の底部の下層金属膜を除去するため、ゲートの長短にかかわらずゲート電極の底部とソース電極、ドレイン電極とが空間的に十分隔てられ、ゲート長が $0.3\mu\text{m}$ 以下の短ゲート長でもT字型ゲートを用いたセルフアライメント方式で高性能のFETを作成できる。

#### 4. 図面の簡単な説明

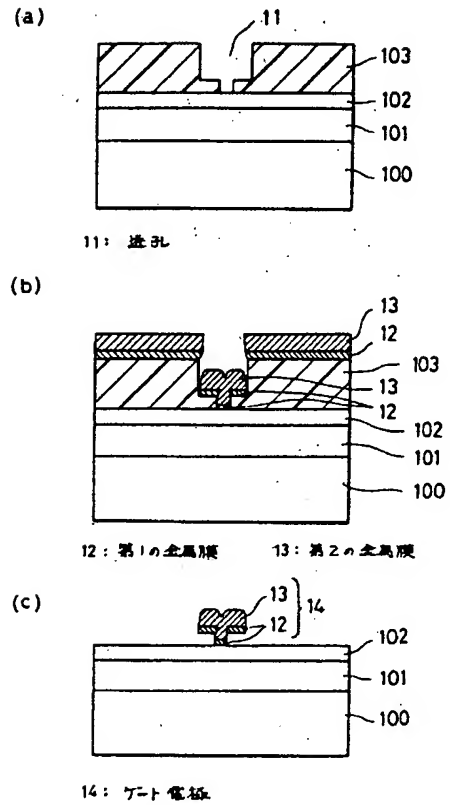
第1図(a)乃至第1図(f)は本発明の一実施例を示す工程断面図、第2図は本発明に係る別の実施例により形成したFETの断面図、第3図(a)乃至第3図(e)は従来のFETの製造方法を示す工程断面図、第4図は従来のFETの製造方法による途中工程断面図である。

- |            |            |
|------------|------------|
| 11…透孔      | 12…第1の金属膜  |
| 13…第2の金属膜  | 14…ゲート電極   |
| 16S…ソース電極  | 16D…ドレイン電極 |
| 100…GaAs基板 | 101…パフファ層  |

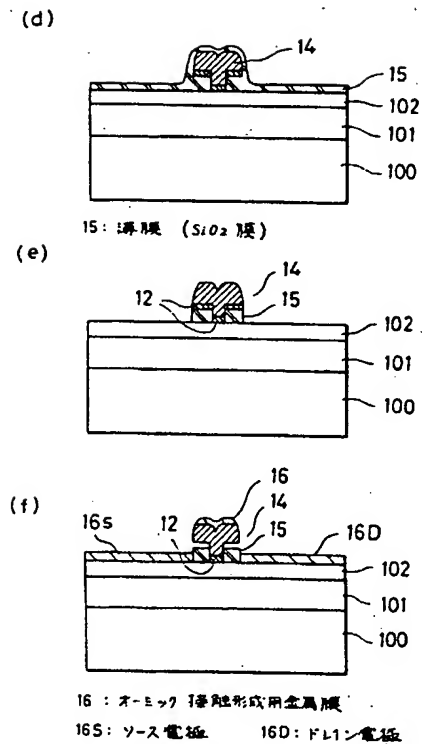
102…活性層

代理人 井理士 大 胡 典 夫

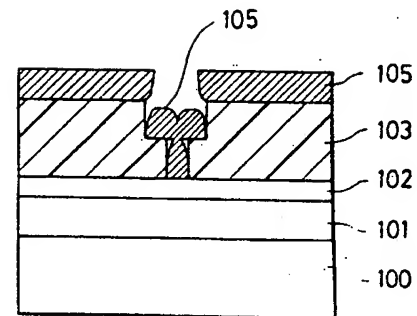
特開平4-96337 (4)



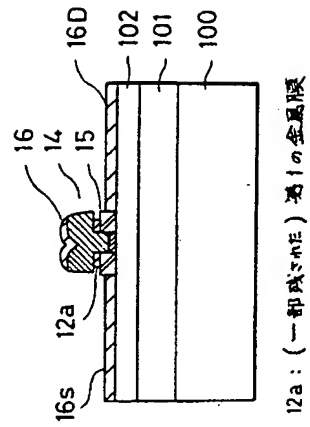
第 1 図 (その1)



第 1 図 (その2)

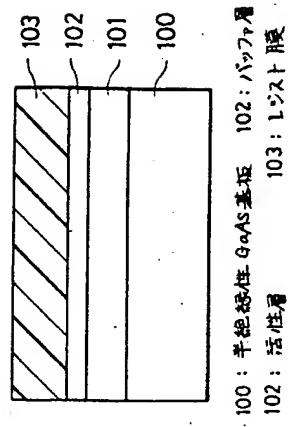


第 4 図

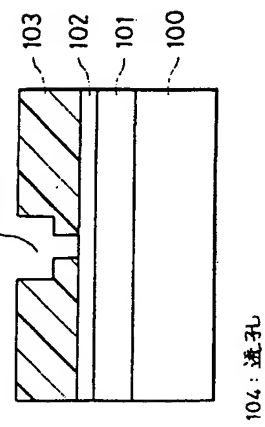


第 2 図

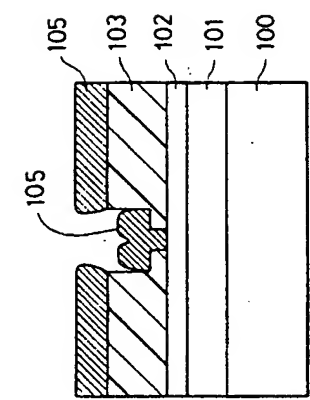
(a)



(b)

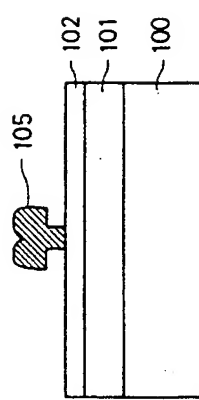


第 3 図 (その1)

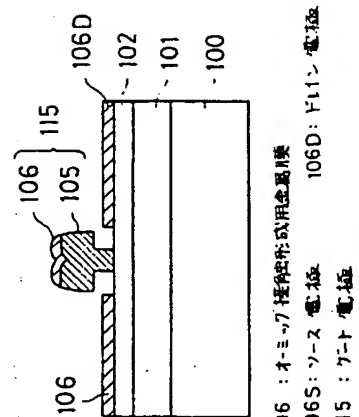


第 3 図 (その2)

(c)



(d)



第 3 図 (その2)

**THIS PAGE BLANK (USPTO)**